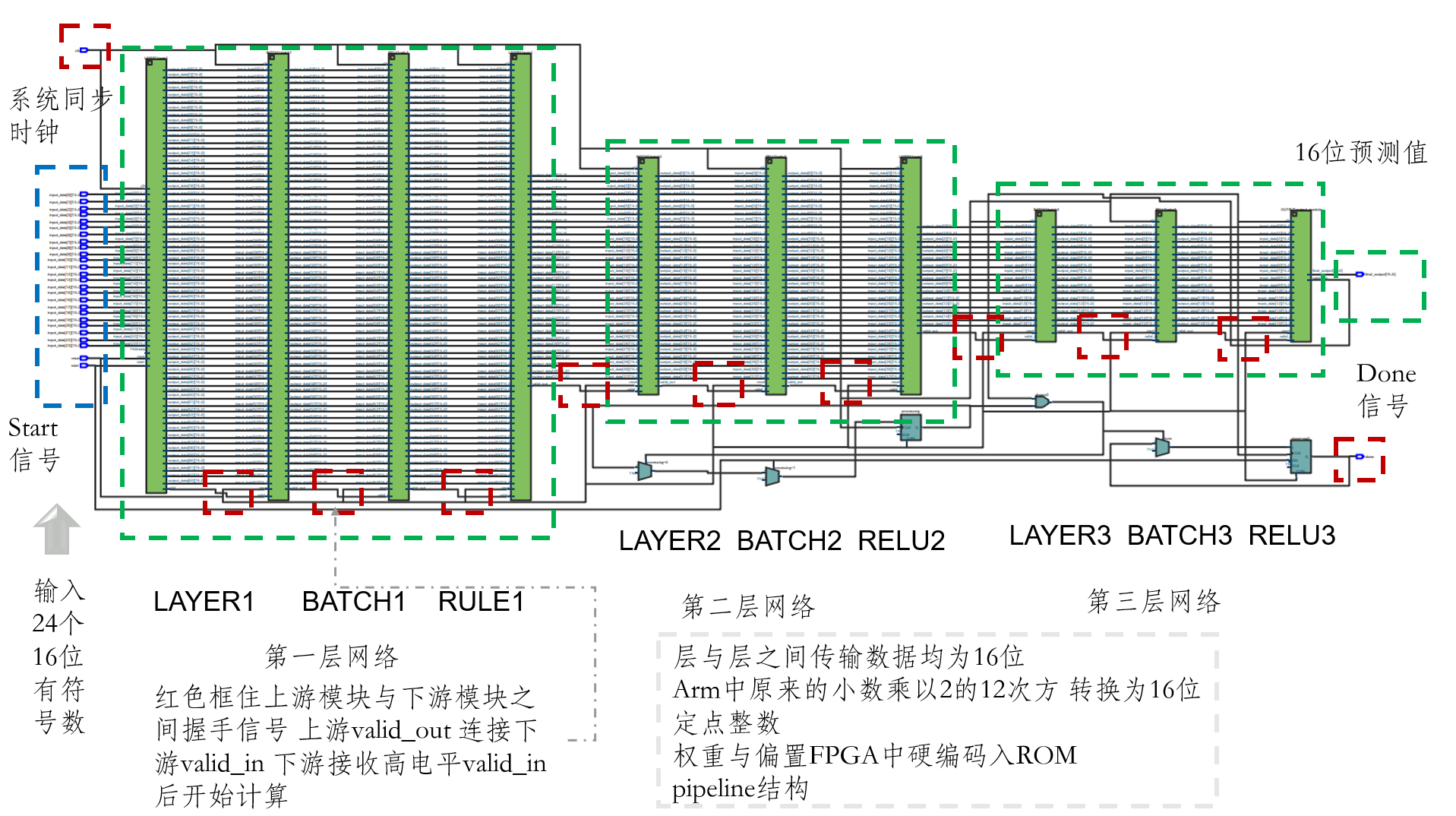
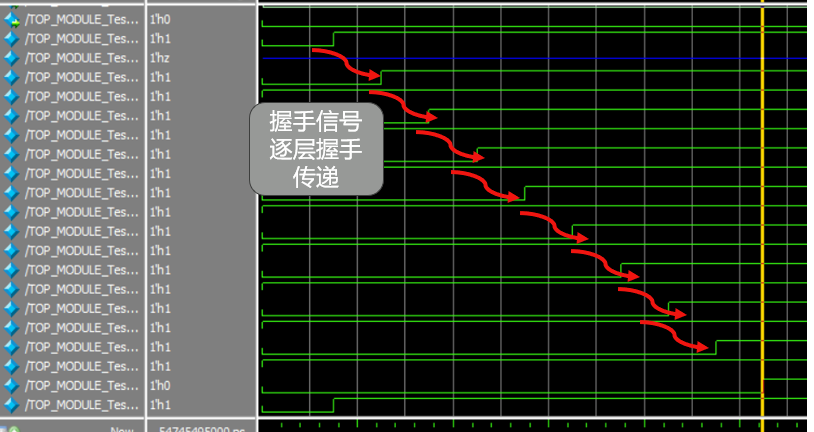
1. 神经网络在FPGA上实现前向传播(推理)过程（system Verilog）

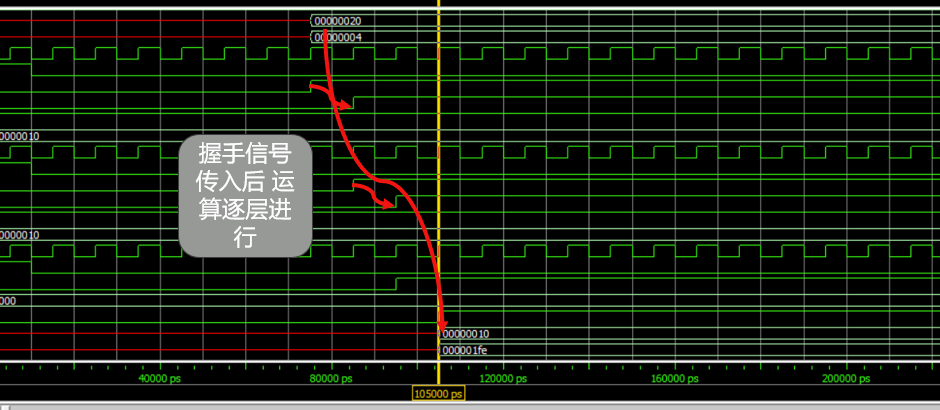
模块中所有原先浮点数乘以2的12次方转换为Q4,12编码的16位定点数

模块图：

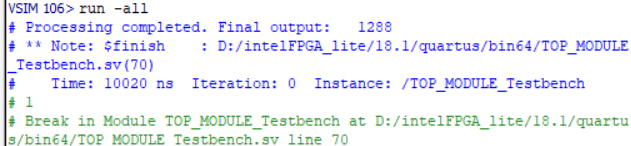


时序图：



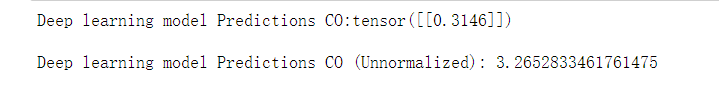


仿真结果：



由于所有浮点数均Q4,12编码 结果返回浮点数除以4096为 ：0.3147

与真实结果：



相差0.0001 存在可观的精度误差 下一步考虑：

1. 上板验证
2. 精度误差如何缩减
3. HPS端与FPGA段如何数据传输（初步设想AXI轻量级线）